

PAT-NO: JP362057236A
DOCUMENT-IDENTIFIER: JP 62057236 A
TITLE: WIRING FORMING METHOD
PUBN-DATE: March 12, 1987

INVENTOR-INFORMATION:
NAME
TOGASHI, HIROSHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
SONY CORP N/A

APPL-NO: JP60197301
APPL-DATE: September 6, 1985

INT-CL (IPC): H01L021/88
US-CL-CURRENT: 438/102, 438/FOR.347

ABSTRACT:

PURPOSE: To form a wiring layer on a flat surface highly accurately, to make the control of an interval between wirings easy and to make the short circuits between the wirings hard to occur, by forming the first conductor pattern layer in an opening part in an insulating layer on a substrate, forming a surface flattening layer, which forms the same plane with the upper surface of the insulating layer, thereafter forming the second conductor pattern layer, and then removing the surface flattening layer.

CONSTITUTION: A first wiring film 2 comprising aluminum

or gold is formed on the surface of a substrate 12. Thereafter, an interlayer insulating layer 3 is formed on the entire surface of the substrate 1. Then, by the photoetching for the insulating layer 3, a part of the insulating layer 3 covering the first wiring film 2 and the peripheral part thereof are removed. Thus an opening part 4 is formed. Then, a resist film 5 is formed on the surface of the substrate 1 by spin coating. The resist film 5 serves the flattening function of the surface of the substrate 1, on which the insulating layer 3 and the first wiring film 2 are formed. Then, second wiring film 6 is formed on the surface flattened by the resist film 5. The interval of the second wiring film 6 and the first wiring film 2 at a crossover part is determined by the thicknesses of the first wiring film 2 and the insulating layer 3.

COPYRIGHT: (C)1987,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-57236

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)3月12日

H 01 L 21/88

6708-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 配線の形成方法

⑯ 特 願 昭60-197301

⑰ 出 願 昭60(1985)9月6日

⑱ 発 明 者 富 樫 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 小松 祐治 外1名

明 細 書

1. 発明の名称

配線の形成方法

2. 特許請求の範囲

(1) 基板上に、開口部を有する絶縁層と、上記開口部内に位置し該絶縁層の膜厚より薄い膜厚を有する第1の導体パターン層とを形成する工程と、

上記絶縁層の開口部内において上記第1の導体パターン層を被覆し上記絶縁層の上面と略同一平面を成す表面を有する表面平坦化層を形成する工程と、

上記表面平坦化層上に基板表面側から見て上記第1の導体パターン層と交差する第2の導体パターン層を形成する工程と、

上記表面平坦化層を除去する工程と、

からなることを特徴とする配線の形成方法

3. 発明の詳細な説明

本発明配線の形成方法を以下の項目に従って説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来技術 [第6図、第7図]

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

G. 実施例 [第1図乃至第5図]

a. 第1の実施例 [第1図乃至第3図]

a-1. 基本的実施態様 [第1図、第2図]

a-2. 変形例 [第3図]

b. 第2の実施例 [第4図、第5図]

b-1. 基本的実施態様 [第4図]

b-2. 変形例 [第5図]

H. 発明の効果

(A. 産業上の利用分野)

本発明は新規な配線の形成方法、特に、寄生容量、寄生インダクタンスを小さくするため層間をエアーで絶縁する配線の形成方法に関するものである。

(B. 発明の概要)

本発明は、上下の配線間をエアーで絶縁する配線の形成方法において、配線層を平坦な面上に高精度に形成することができるようにし、更に配線間の間隔を制御し易くして配線間が短絡する事故を生じにくくするため、基板上の絶縁層の開口部内に該絶縁層の膜厚の薄い第1の導体パターン層を形成し、次に、上記開口部内において第1の導体パターン層を被覆し上記絶縁層上面と同一平面を成す表面を有する表面平坦化層を形成し、その後、上記第1の導体パターン層とクロスオーバーする第2の導体パターン層を形成した後上記表面平坦化層を除去するものである。従って、本発明配線の形成方法によれば、絶縁層と第1の導体パターン層との膜厚差がそのまま第1の導体パター

ン層と第2の導体パターン層との間隔となるので、絶縁層と第1の導体パターン層との膜厚を適宜に設定することにより第1の導体パターン層と第2の導体パターン層との間に必要な大きさの間隔を設けることができる。そして、第2の導体パターン層を表面平坦化層によって一つの平面を成すように形成された平坦面上に形成するので第2の導体パターン層の平坦化を図ることができる。

(C. 従来技術) [第6図、第7図]

従来においては多層配線を形成する場合下層配線と上層配線の間は層間絶縁層により絶縁するのが普通であった。

ところで、下層配線と上層配線とはそれがクロスオーバーする部分に寄生する寄生容量によって結合されるし、また配線には寄生インダクタンスが存在する。尤も、その配線に流れる電流の周波数がさほど高くない場合はその寄生容量等の存在は無視でき、大きな問題をもたらすことはない。

3

しかし、GaAs等化合物半導体により形成されるデバイスに形成する多層配線はギガヘルツ(GHz)というようなきわめて高い周波数帯域の信号を通すので小さな寄生容量であっても回路に大きな影響を及ぼし、その寄生容量はそれを積極的に利用する特殊な場合を除き大きな弊害を生じる。ところで、そのような寄生容量は層間絶縁層として誘電率の低い材料を用いる程小さくすることができるけれども、層間絶縁層として用いられるものはどのようなものでも空気に比較すると相当に大きな誘電率を有している。従って、GHz帯の高周波動作をする回路を構成する多層配線においては空気を下層配線と上層配線とのクロスオーバー部分における絶縁体とすることが不可欠である。そこで、そのように下層と上層とのクロスオーバー部分を空気により絶縁する多層配線が開発されている。第6図(A)乃至(D)はそのような多層配線の形成方法の従来例の一を工程順に示すものであり、この図に従ってその多層配線の形成方法を工程順に説明する。

4

(A) 同図(A)に示すようにGaAs等からなる半絶縁性の基板aの表面上に金属、多結晶シリコンあるいはシリサイドからなる第1の配線膜bを形成する。

(B) 次に、第6図(B)に示すように第1の配線膜bを被覆するように選択的にレジスト膜cを形成する。

(C) 次に、同図(C)に示すように基板a上に上記第1の配線膜bとクロスオーバーする第2の配線膜dを形成する。尚、レジスト膜cにより被覆された状態の第1の配線膜bに対して第2の配線膜dをクロスオーバーさせるので、第1の配線膜bと第2の配線膜dとはレジスト膜cによって離間せしめられた状態にあり、その配線膜d、b間の間隔はその間のレジスト膜cの厚さによって決まる。

(D) その後、第7図(D)に示すように第1の配線膜bを被覆するレジスト膜dを除去する。すると、第1の配線膜bと第2の配線膜dとの間にはレジスト膜dに代ってエアーeによって分離さ

5

6

れた状態になる。第7図は第6図(D)の7-7線に沿う断面図である。

このように、従来においてエアーにより層間を絶縁する多層配線の形成は第6図(A)乃至(D)に示すような方法で行なわれていた。

(D・発明が解決しようとする問題点)

ところで、第8図に示すような従来の形成方法には第1の配線膜bと第2の配線膜dとの間の間隔の制御が非常に難しいという問題がある。というのは、第1の配線膜bを一時的に被覆するレジスト膜dは第1の配線膜bの段差部上においてだれたりするのでその膜厚が一定せず、その制御が難しい。そして、そのレジスト膜dの膜厚がそのまま配線膜b、dのクロスオーバー部分における間隔になるので、膜厚が一定せずその制御が難しいということがそのままクロスオーバー部分における配線膜間の間隔の制御に困難性をもたらす。そして、そのレジスト膜d上を通る第2の配線膜dは必然的にそのレジスト膜d上を通る部分にお

7

した後上記表面平坦化層を除去するものである。

(F・作用)

本発明配線の形成方法によれば、絶縁層と第1の導体パターン層との膜厚差がそのまま第1の導体パターン層と第2の導体パターン層との間隔となるので、絶縁層と第1の導体パターン層との膜厚を適宜に設定することにより第1の導体パターン層と第2の導体パターン層との間に必要な大きさの間隔を設けることができ、そして、その間隔の制御が容易である。そして、第2の導体パターン層を表面平坦化層によって一つの平面を成すように形成された面上に形成するので第2の導体パターン層の平坦化を図ることができる。

(G・実施例) [第1図乃至第5図]

以下に、本発明配線の形成方法を添付図面に示した実施例に従って詳細に説明する。

9

いて撓む形状になり、平坦にすることはできない。そのため、寄生インダクタンスが生じるし、また、第2の配線膜dが熱により変形しやすく、その変形によって配線膜b、d間が短絡される惧れも生じる。

本発明はこのような問題を解決すべく為されたもので、上下の配線間をエアーで絶縁する配線の形成方法において、配線層を平坦な面上に高精度に形成することができるようにし、更に配線間の間隔を制御し易くして配線間が短絡する事故を生じにくくすることを目的とするものである。

(E・問題点を解決するための手段)

本発明は上記問題点を解決するため、基板上の絶縁層の開口部内に該絶縁層の膜厚の薄い第1の導体パターン層を形成し、次に、上記開口部内において第1の導体パターン層を被覆し上記絶縁層上面と同一平面を成す表面を有する表面平坦化層を形成し、その後、上記第1の導体パターン層とクロスオーバーする第2の導体パターン層を形成

8

(a・第1の実施例) [第1図乃至第3図]

(a-1・基本的実施態様) [第1図、第2図]

(A) 先ず、GaAs等からなる半絶縁性の基板1の表面にアルミニウムあるいは金からなる第1の配線膜(5000Å)2を形成し、その後、基板1上に全面的に例えばSiO₂あるいはSiNからなる層間絶縁層(1~2μ)3を形成する。該層間絶縁層3の厚さは第1の配線膜2の厚さよりも相当に厚いことが必要である。第1図(A)は層間絶縁層3形成後の状態を示す。

(B) 次に、絶縁層3に対するフォトリソエッチング(例えば等方性エッチングにより行う。)により絶縁層3の第1の配線膜2を覆う部分及びその周辺を除去することにより開口部4を形成する。第1図(B)は開口部4形成後の状態を示す。

(C) 次に、基板1表面上にレジスト膜5をスピニングにより形成する。該レジスト膜5の形成はその厚さが層間絶縁層3の厚さよりも厚く、しかも表面が平坦になり、そして上記開口

10

部4内の第1の配線膜2を完全に被覆するように行うことが必要である。第1図(C)はレジスト膜5の形成後の状態を示す。

(D)次に、レジスト膜5に対する全面的異方性エッチング(イオンミリングあるいはRIE)によりレジスト膜5を絶縁層3と同じ厚さになるまで薄くし、レジスト膜5が開口部4内のみに残在し絶縁層3上には存在しないようにする。これによって基板1の表面が平坦化され、レジスト膜5は絶縁層3、第1の配線膜2が形成された基板1の表面を平坦化する機能を果たす。第1図(D)はレジスト膜5に対する異方性エッチングの終了後の状態を示す。

(E)次に、同図(E)に示すようにレジスト膜5により平坦化された表面上に第2の配線膜6を形成する。第2の配線膜6は平坦化された表面上に形成されるので、高精度に形成することができ、また、段切れの起きる惧れもない。そして、第2の配線膜6と第1の配線膜2とのクロスオーバー部における間隔は第1の配線膜2及び絶縁層

3の厚さによって決まり、その間隔を設定したとおりの値にすることは容易に為し得る。また、第2の配線膜6を平坦な表面上に形成するので寄生インダクタンスを小さくすることができる。

(F)その後、レジスト膜5を適宜な除去液により除去する。これにより第1の配線膜2と第2の配線膜6との間はエアーにより分離された状態になり、その間に生じる寄生容量の誘電体が誘電率の低いエアー7となることから寄生容量は小さな値となる。第1図(F)及び第2図はレジスト膜5を除去した後の状態を示す。

このような配線の形成方法によれば、第1の配線膜2と第2の配線膜6との間隔を高精度に制御することができ、層間の短絡を防止することができる。そして、第2の配線膜6はレジスト膜5により平坦化された面上に形成されるので、度良く形成することができ、段切れなどの惧れがないだけでなくまた寄生インダクタンスも小さくすることができる。

11

(a-2. 変形例) [第3図]

第3図(A)、(B)は第1図(A)乃至(F)に示した配線の形成方法の変形例を工程順に示す断面図である。

(A)基板1表面上に先ず絶縁層3を全面的に形成し、その後、パターンニングされたレジスト膜8をマスクとして絶縁層3を選択的にエッチングすることにより開口部4を形成する。そして、そのエッチングは絶縁層3が適宜量サイドエッチングされるように行う。従って、レジスト膜8の開口部8aの幅よりも開口部4の幅の方が適宜量広くなる。第3図(A)は開口部4形成後の状態を示す。

(B)次に、同図(A)に示す状態で第1の配線膜2を形成するための金属の蒸着処理を行う。すると、開口部4内にそれより狭い幅の第1の配線膜2が形成される。同図(B)は第1の配線膜2の形成後の状態を示す。

尚、第1の配線膜2はレジスト膜8上にも形成されるが、レジスト膜8上の第1の配線膜2は後

12

にレジスト膜8を除去するとレジスト膜8と共に除去される(エッチオフされる)。尚、その後の工程は第1図に示した方法と同じであるので図示、説明を省略する。

この第3図に示した配線の形成方法は、第1図に示した配線の形成方法とは絶縁層3及び開口部4と、第1の配線膜2との形成順序が異なる点でのみ相違があるが、それ以外の点では相違しない。このように本発明は絶縁層3と第1の配線膜2の形成順序を異ならせた態様で実施することができる。

(b. 第2の実施例) [第4図、第5図]

(b-1. 基本的実施態様) [第4図]

第4図(A)乃至(F)は本発明配線の形成方法の他の実施例を工程順に示す断面図である。

(A)基板1上に絶縁層3を形成し、該絶縁層3上にレジスト膜8を形成し、該レジスト膜8をパターンニングする。第4図(A)はパターンニング後の状態を示す。

13

-178-

14

(B) レジスト膜8をマスクとして絶縁層3を等方性エッチングすることにより側面がなだらかに傾斜した裾野の幅がりの大きな開口部4aを形成する。この場合、絶縁層3の開口部4aを通して基板1が露出する部分の幅がレジスト膜8の開口部の幅よりも適宜狭くなるようにすることが必要である。第4図(B)は開口部4aの形成後の状態を示す。

(C) 次に、アルミニウムあるいは金等の配線材料を基板1に対して垂直な方向に蒸着して第1の配線膜2aを基板1の開口部4内に露出する部分を完全に覆うように形成する。このように、第1の配線膜2aを基板1の露出する部分を覆うように形成するのは、基板1の表面が露出する部分をなくし、半導体装置の安定性、信頼性を高めるためである。第4図(C)は第1の配線膜2a形成のための蒸着処理をしているときの状態を示す。

(D) 次に、レジスト膜8を除去し、基板1表面上に表面平坦化のためレジスト膜5をスピン

15

のである。このように蒸着の方向を斜めにすることとすれば、基板1の露出部分を第1の配線膜2aによりより確実に覆うことができる。

(H. 発明の効果)

以上に述べたところから明らかなように、本発明配線の形成方法は、基板上に、開口部を有する絶縁層と、該開口部内に位置し該絶縁層より薄い第1の導体パターン層とを形成する工程と、上記絶縁層の開口部内において上記第1の導体パターン層を被覆し上記絶縁層の上面と略同一平面を成す表面を有する表面平坦化層を形成する工程と、上記表面平坦化層上に基板表面側から見て上記第1の導体パターン層と交差する第2の導体パターン層を形成する工程と、上記表面平坦化層を除去する工程と、からなることを特徴とするものである。

従って、本発明配線の形成方法によれば、絶縁層と第1の導体パターン層との膜厚差がそのまま第1の導体パターン層と第2の導体パターン層と

コーティングにより形成する。第4図(D)はレジスト膜5のスピンコーティング後の状態を示す。

(E) 次に、レジスト膜5をRIE等の異方性エッチングにより絶縁層3表面が露出するまでエッチングする。第4図(E)はレジスト膜5に対するエッチングの終了後の状態を示す。

(F) その後、同図(F)に示すようにレジスト膜5を除去する。

このような配線の形成方法によれば、第1図乃至第3図に示した配線の形成方法のように基板1の表面が部分的に露出してしまふことを回避することができる。従って、半導体装置の安定性、信頼性を高めることができる。

(b-2. 変形例) [第5図]

第5図は第4図に示した配線の形成方法の変形例を説明するための断面図である。

第5図に示す配線の形成方法は第1の配線膜2aを形成するための蒸着の方向を斜めにしたも

16

のの間隔となるので、絶縁層と第1の導体パターン層との膜厚を適宜に設定することにより第1の導体パターン層と第2の導体パターン層との間に必要な大きさの間隔を精度良く設けることができる。そして、第2の導体パターン層を表面平坦化層によって一つの平面を成すように形成された面上に形成するので第2の導体パターン層の平坦化を図ることができる。

4. 図面の簡単な説明

第1図乃至第3図は本発明配線の形成方法の実施の一例を説明するためのもので、第1図(A)乃至(F)は配線の形成方法を工程順に示す断面図、第2図は配線形成後の状態を示す斜視図、第3図(A)、(B)は変形例を工程順に示す断面図、第4図及び第5図は本発明配線の形成方法の他の実施例を説明するためのもので、第4図(A)乃至(F)は配線の形成方法を工程順に示す断面図、第5図は変形例を示す断面図、第6図(A)乃至(D)は配線の形成方法の従来例の一

17

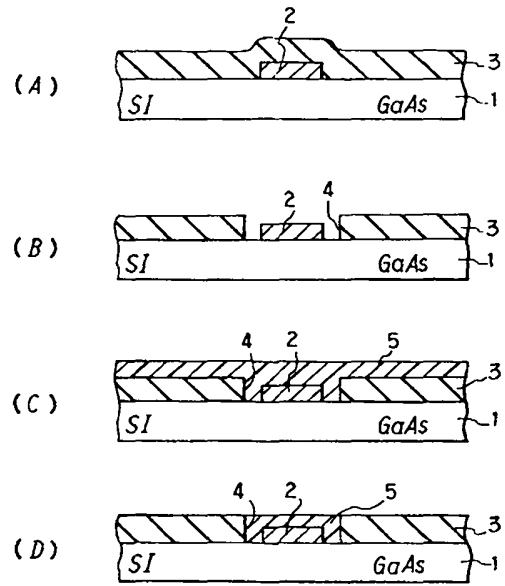
18

を工程順に示す斜視図、第7図は第6図(D)の7-7線に沿う断面図である。

符号の説明

- 1・・・基板、
2、2a・・・第1の導体パターン層、
3・・・絶縁層、4、4a・・・開口部、
6・・・第2の導体パターン層

出願人 ソニー株式会社
代理人 弁理士 小松 祐 治
同 尾 川 秀 昭

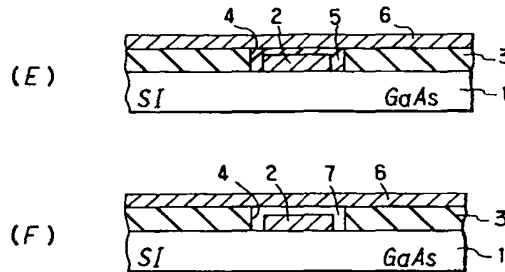


- 1・・・基板
2・・・第1の導体パターン層
3・・・絶縁層
4・・・開口部
5・・・表面平坦化層

第1の実施例を工程順に示す断面図

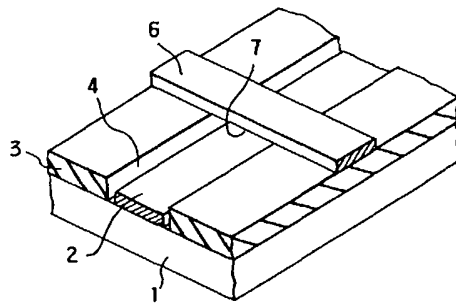
第1図

19



第1の実施例を工程順に示す断面図

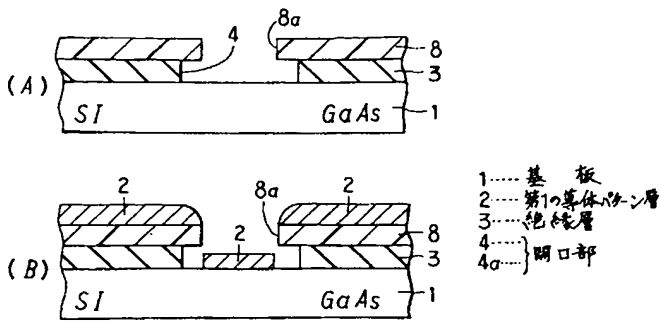
第1図



配線形成後の状態を示す斜視図

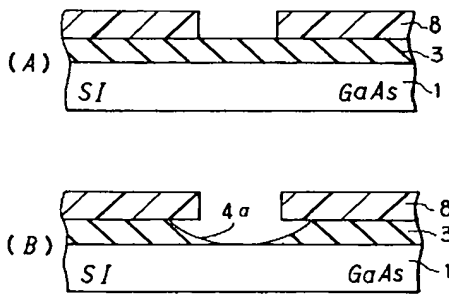
第2図

- 1・・・基板
2・・・第1の導体パターン層
3・・・絶縁層
4・・・開口部
5・・・表面平坦化層
6・・・第2の導体パターン層



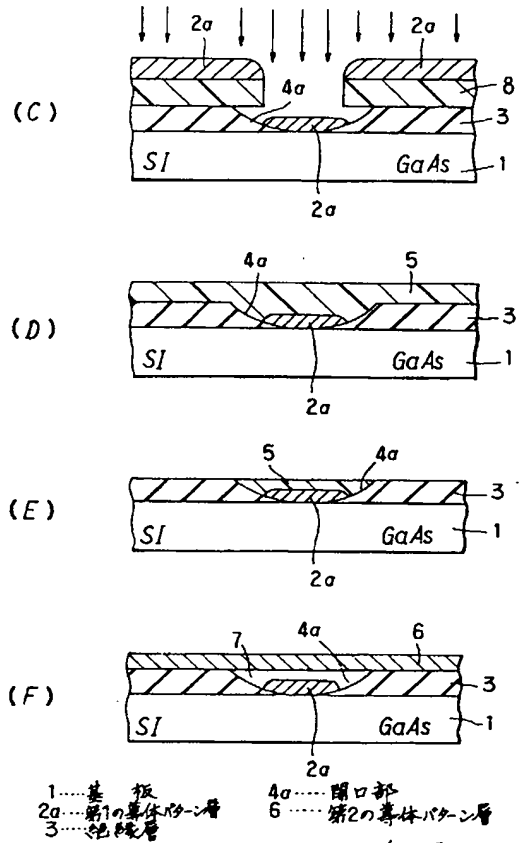
変形例を工程順に示す断面図

第3図



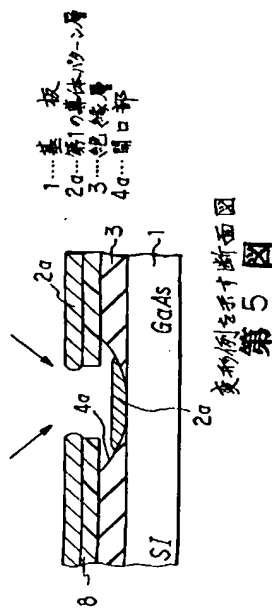
第2の実施例を工程順に示す断面図

第4図



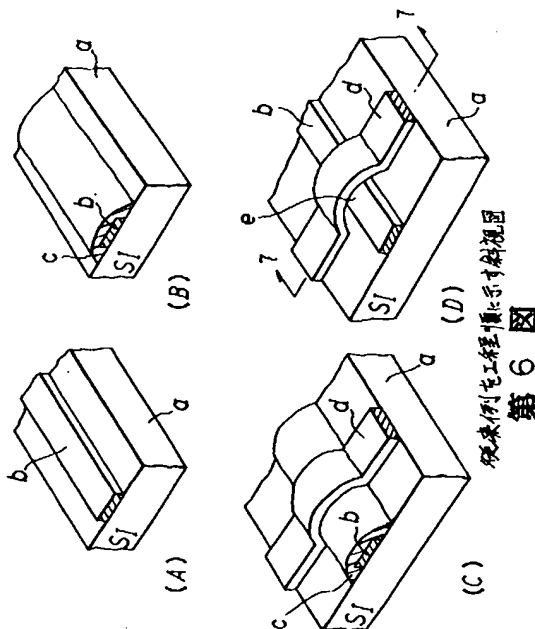
第2の実施例を工程順に示す断面図

第4図



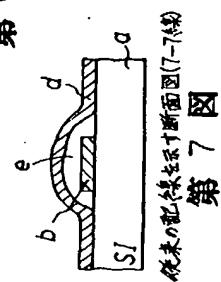
変形例を工程順に示す断面図

第5図



変形例を工程順に示す断面図

第6図



従来の製造法を示す断面図(7-7a)

第7図